

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-075110

(43)Date of publication of application : 26.03.1993

(51)Int.Cl.

H01L 29/74

(21)Application number : 03-233502

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 13.09.1991

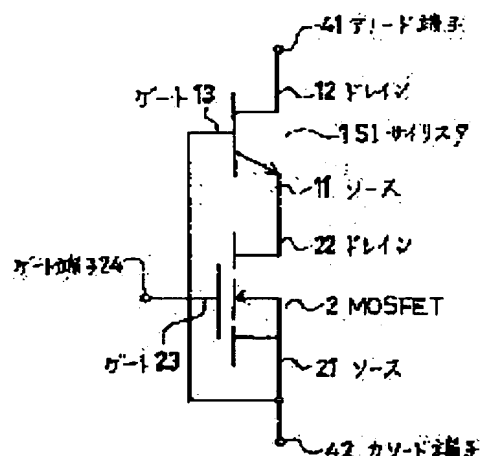
(72)Inventor : KUMAGAI NAOKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To eliminate disadvantages in which a base current must be supplied to a bipolar transistor so as to maintain an ON state and driving energy is increased in a semiconductor in which the transistor and a MOSFET are cascade-connected to be used as a power switching element.

CONSTITUTION: A normally ON type SI thyristor and a MOSFET 2 are cascade-connected thereby to eliminate a base current for maintaining an ON state, and the MOSFET can be turned ON, OFF only by controlling a gate 23. Thus, a switching semiconductor device having a low ON voltage having small driving energy and high speed switching characteristics is obtained, and can be easily formed in a single-chip.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

Copyright (C); 1998,2003 Japan Patent Office

特許庁 特許出願 特許出願番号 特許出願日

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 7 5 1 1 0

(43) 公開日 平成5年(1993)3月26日

(51) Int. Cl.⁵

H 0 1 L 29/74

識別記号

庁内整理番号

F I

技術表示箇所

M 7013- 4 M

N 7013- 4 M

審査請求 未請求 請求項の数 3

(全 5 頁)

(21) 出願番号 特願平3-233502

(22) 出願日 平成3年(1991)9月13日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 熊谷 直樹

神奈川県川崎市川崎区田辺新田1番1号 富

士電機株式会社内

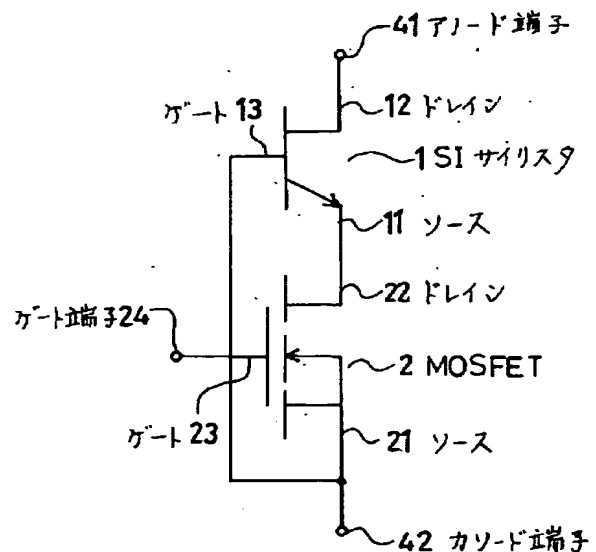
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【目的】 バイポーラトランジスタとMOSFETをカスケード接続して電力用スイッチング素子として用いる半導体装置は、オン状態を維持するためにはバイポーラトランジスタにベース電流を供給せねばならず、駆動エネルギーが大きくなる欠点を改善する。

【構成】 ノーマリオン型のSIサイリスタ1とMOSFET 2をカスケード接続することにより、オン状態を維持するためのベース電流が不要となり、MOSFETをゲート23を制御するだけでオンオフできる。これにより駆動エネルギーが小さい低オン電圧と高速スイッチング特性を備えたスイッチング半導体装置が得られ、1チップに構成することも容易にできる。



【特許請求の範囲】

【請求項 1】 ノーマリオン型の S I サイリスタと MOS F E T とをカスケード接続し、S I サイリスタのゲートと MOS F E T のソースとを接続してなることを特徴とする半導体装置。

【請求項 2】 第一導電型のドレイン層の上に形成した第二導電型の層の表面層内に選択的に高不純物濃度のソース領域を形成し、そのソース領域の両側に形成された溝の底部の前記第二導電型層の表面層内にチャンネル領域をはさんで第一導電型のゲート領域を形成してなる切り込みゲート形のノーマリオン型 S I サイリスタのソース領域をドレイン領域とし、その上に形成した第一導電型のベース層の表面層内に選択的に第二導電型のソース領域を形成し、ソース領域とドレイン領域にはさまれたベース層の側面上に絶縁膜を介してゲート電極を設けることにより MOS F E T を構成し、S I サイリスタのドレイン層に接触する第一主電極と、MOS F E T のベース層、ソース領域および S I サイリスタのゲート領域に共通に接触する第二主電極とを設けてなる請求項 1 記載の半導体装置。

【請求項 3】 第一導電型のドレイン層の上に形成した第二導電型の層の表面層内に第二導電型で高不純物濃度のソース領域を形成し、そのソース領域の両側に第二導電型のチャンネル領域をはさんで第一導電型のゲート領域を形成してなる表面ゲート型のノーマリオン型 S I サイリスタのチャンネル領域およびソース領域をドレイン領域とし、ゲート領域の表面層内に選択的に第二導電型のソース領域を形成し、そのソース領域および前記 S I サイリスタのチャンネル領域にはさまれた前記 S I サイリスタのゲート領域の部分の表面上に絶縁膜を介してゲート電極を設けることにより MOS F E T を構成し、S I サイリスタのドレイン層に接触する第一主電極と、S I サイリスタのゲート領域および MOS F E T のソース領域に共通に接触する第二主電極を設けてなる請求項 1 記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、二つの素子をカスケード接続（縦続接続）してなる電力用スイッチング素子として用いられる半導体装置に関する。

【0002】

【従来の技術】 低オン電圧と高速スイッチング特性を兼ね備え、モータ駆動などに電力用スイッチング素子として使用される半導体装置の一つのカスケード Bi-MOS 半導体装置がある。これは図 2 に示すようにバイポーラトランジスタ 3 と MOS F E T を、バイポーラトランジスタ 3 のエミッタ 31 と MOS F E T のドレイン 22 を接続することによりカスケード接続したのである。そしてバイポーラトランジスタ 3 のベース端子 34 はベース電源 35 に接続されている。この半導体装置をオン状態にす

るには、MOS F E T のソース 21、ゲート 23 間にゲートしきい値以上の電圧を印加する。これにより MOS F E T がオンすると、ベース電源 35 によりバイポーラトランジスタ 3 のベース 32 とエミッタ 31 とが順方向バイアスされるために、トランジスタ 3 にベース電流が流れてオンする。これに伴いトランジスタ 3 のコレクタ電流はオンしている MOS F E T を流れるため、この半導体装置全体のアノード端子 41 とカソード端子 42 との間がオン状態になる。一方、MOS F E T のソース 21、ゲート 23 間の印加電圧をゲートしきい値電圧以下とすると MOS F E T はオフする。これにより、バイポーラトランジスタ 3 のベース電流は供給されなくなると共に、今までコレクタ 33 からエミッタ 31 に流れていた主電流は、MOS F E T がオフ状態となることによりコレクタ 33 からベース 32 に流れる。このためトランジスタ 3 のコレクタ 33、ベース 32 間の接合は急速に逆回復し、半導体装置全体として高速でオフ状態にすることができる。

【0003】 本半導体装置の特徴は、オフ状態の耐圧はバイポーラトランジスタ 3 のコレクタ 33、ベース 32 間の接合で持つため、耐圧は通常のトランジスタの耐圧 V_{CE0} ではなく、 V_{CBO} となり高耐圧化でき、MOS F E T の耐圧は低くて良いためオン抵抗の低い低耐圧 MOS F E T が使用できる点である。これにより低オン電圧で高速のスイッチングが可能となる。

【0004】 図 3 は図 2 の半導体装置を 1 チップに構成したもので、図中の電極、端子に付せられた符号は、図 2 の等価回路における対応する個所に付せられた符号と同一である。この半導体装置は n^+ 基板 51 とその上の n^- エピタキシャル層 52 をコレクタ、その上の p エピタキシャル層 53 をベース、その上に選択的に積層された n 層 54 をエミッタとするバイポーラトランジスタと、 n 層 54 をドレインとし、その上に積層された p ベース層 55 の表面からの不純物拡散により選択的に形成された n^+ 領域 56 をソースとし、それらの側面上にゲート絶縁膜 57 を介してゲート電極 23 を設けることにより構成された MOS F E T とが n 層 54 を介してカスケード接続されたものである。そして、 n^+ 基板 51 に接触するコレクタ電極 33 にアノード端子 41 が、 p ベース層 55 の露出面および n^+ ソース領域 56 に共通に接触し、ゲート電極 23 と層間絶縁膜 58 によって絶縁されたソース電極 21 にカソード端子 42 が、 p ベース層 53 に接触するベース電極 32 にベース端子 34 が、またゲート電極 23 にゲート端子 24 がそれぞれ接続されている。

【0005】

【発明が解決しようとする課題】 上記のカスケード Bi-MOS 半導体装置は、低オン電圧で高速スイッチングが可能であり、ゲート駆動であるために駆動用信号回路は簡略化されるものの、オン状態を維持するためにはバイポーラトランジスタ 3 にベース電流を供給する必要があるため、駆動電力が大きいという欠点がある。

【0006】本発明の目的は、二つの素子のカスケード接続により低オン電圧で高速スイッチングを可能にすると共に、駆動エネルギーの小さい半導体装置を提供することにある。

【0007】

【課題を解決するための手段】上述の目的を達成するために、本発明の半導体装置は、ノーマリオン型のS IサイリスタとMOSFETとをカスケード接続し、S IサイリスタのゲートとMOSFETのソースとを接続してなるものとする。そして、第一導電型のドレイン層の上に形成した第二導電型の層の表面層内に選択的に第二導電型で高不純物濃度のソース領域を形成し、そのソース領域の両側に形成された溝の底部の前記第二導電型層の表面層内にチャネル領域をはさんで第一導電型のゲート領域を形成してなる切り込みゲート形のノーマリオン型S Iサイリスタのソース領域をドレイン領域とし、その上に形成した第一導電型のベース層の表面層内に選択的に第二導電型のソース領域を形成し、ソース領域とドレイン領域にはさまれたベース層の側面上に絶縁膜を介してゲート電極を設けることによりMOSFETを構成し、S Iサイリスタのドレイン層に接触する第一主電極と、MOSFETのベース層、ソース領域およびS Iサイリスタのゲート領域に共通に接触する第二主電極とを設けてなることが有効である。あるいは、第一導電型のドレイン層の上に形成された第二導電型の層の表面層内に第二導電型で高不純物濃度のソース領域を形成し、そのソース領域の両側に第二導電型のチャネル領域をはさんで第一導電型のゲート領域を形成してなる表面ゲート形のノーマリオン型S Iサイリスタのチャネル領域およびソース領域をドレイン領域とし、ゲート領域の表面層内に選択的に第二導電型のソース領域を形成し、そのソース領域および前記S Iサイリスタのチャネル領域にはさまれた前記S Iサイリスタのゲート領域の部分の表面上に絶縁膜を介してゲート電極を設けることによりMOSFETを構成し、S Iサイリスタのドレイン層に接触する第一主電極と、S Iサイリスタのゲート領域およびMOSFETのソース領域に共通に接触する第二主電極を設けてなることも有効である。

【0008】

【作用】従来のカスケードBi-MOS半導体装置のバイポーラトランジスタの代わりに、高速動作可能で低オン電圧のS I（静電誘導型）サイリスタを用いてMOSFETとカスケード接続することにより低オン電圧で高速スイッチングが可能である。そしてS Iサイリスタにノーマリオン型を用いることにより、オン状態を維持するためにベース電流を供給する必要がなく、MOSFETのゲートを制御するだけでよい。

【0009】

【実施例】以下、図2、図3と共通の部分に同一の符号を付した図を引用して本発明の実施例について述べる。

図1は本発明の一実施例の半導体装置の等価回路でノーマリオン型のS Iサイリスタ1のソース11とMOSFET2のドレイン22を接続し、S Iサイリスタ1のゲート13をMOSFET2のソース21に接続した構成となっている。この構成で、MOSFET2のゲート23とソース21の間にゲートしきい値以上の電圧を印加すると、MOSFET2がオンすると共にノーマリオン型であるS Iサイリスタ1もオンし、アノード端子41からカソード端子42へ電流が流れ、半導体装置全体がオン状態になる。一方オフするには、MOSFET2のゲート・ソース間電圧をゲートしきい値以下にすればよい。これによりMOSFET2はオフ状態になり、MOSFET2のドレイン22の電位が上昇する。その結果、S Iサイリスタ1のゲート13とソース11の間は逆バイアス状態になり、S Iサイリスタ1がオフする。以上のように本半導体装置では、図2に示したバイポーラトランジスタ3とMOSFET2のカスケード接続と異なり完全にゲート制御による電圧駆動化が可能になり、小さい駆動エネルギーでオン、オフすることができる。

【0010】図1に示す半導体装置は、当然二つの半導体チップを用いて構成することも可能であるが、1チップ構成とすることも可能である。図4は1チップ構成した場合の実施例である。この半導体基体では、p⁺基板61の上にn⁺バッファ層62およびn⁻層63が積層されている。さらにその上にn⁺層64およびp層55が積層され、p層55の表面層内には選択的にn⁺領域56が形成されている。このような積層体の表面の一部はn⁺層64より深い溝が掘られており、溝の底部には不純物拡散によりp⁺領域65が形成されている。このようにしてp⁺基板61をドレイン、n⁺層64をソース、p⁺領域65をゲートとした切り込みゲート形S Iサイリスタが構成され、横方向拡散により広がったp⁺領域65にはさまれたチャネル領域66の幅を、例えば5 μm以上と比較的広くすることにより、このS Iサイリスタはノーマリオン特性となる。また、溝の側面にはゲート絶縁膜57を介してゲート電極23が形成されており、n⁺層64をドレイン、p層55をベース、n⁺領域56をソースとしたMOSFETが構成されている。そして、p⁺基板1に接触するS Iサイリスタのドレイン電極12にアノード端子41が接続され、pベース層55の露出面およびn⁺ソース領域56に共通に接触し、ゲート電極23と層間絶縁膜58によって絶縁されたMOSFETのソース電極21は、カソード端子42に接続されると共に、溝の底面でp⁺ゲート領域65にも接触している。これにより、図1の等価回路をもつ半導体装置が1チップ構成される。

【0011】図5は同様に図1の等価回路をもつ半導体装置を1チップ構成した別の実施例で、図4と共通の部分には同一の符号が付されている。この場合はドレインとなるp⁺基板61、n⁺バッファ層62、n⁻層63、ソースとなるn⁺領域64およびゲートとなるp領域67によって

表面ゲート形S Iサイリスタが構成され、p領域67にはさまれたチャンネル領域66の幅を比較的広くすることにより、ノーマリオン型とされている。そして、ドレインとなるn⁺領域64、ソースとなるn⁺領域56およびその間の表面上にゲート絶縁膜57を介して設けられたゲート電極23によりMOSFETが構成されている。p領域67の表面層に形成されたp⁺コンタクト領域68に接触するソース電極21は、MOSFETのソース領域57にも共通に接触しているので、ソース領域57をS Iサイリスタのゲート領域67と短絡することになり、図1に示した等価回路

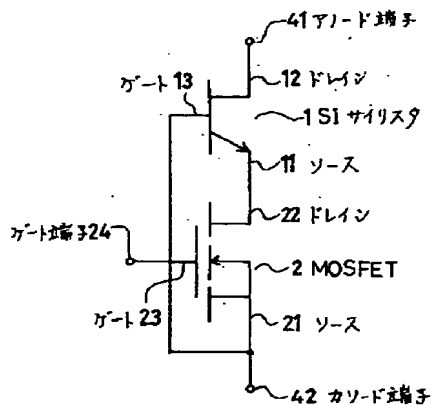
【0012】図1、図4、図5はいずれもNチャネル型MOSFETとPゲートS Iサイリスタの組み合わせであるが、導電型を逆にしたPチャネル型MOSFETとNゲートS Iサイリスタの組み合わせもあることはいうまでもない。また、nバッファ層6はnベース層をパンチスルー型にして低オン電圧化、高速化をはかるために設けられたものであるが、必ずしも必要でない。

【0013】

【発明の効果】本発明は、従来のバイポーラトランジスタとMOSFETをカスケード接続した半導体装置のバイポーラトランジスタの代わりに、ノーマリオン型S Iサイリスタを用いることにより、オン状態を維持するためにバイポーラトランジスタへ供給するベース電流が不要となり、MOSFETのゲートを制御するだけで良いため、小さい駆動エネルギーでオンオフすることのできる低オン電圧と高速スイッチング特性を備えた半導体装置が得られた。そして、この半導体装置は容易に一つの半導体基体に構成することができ、電力用スイッチング素子として有効に使用できる。

【図面の簡単な説明】

【図1】



【図1】本発明の一実施例の半導体装置の等価回路図

【図2】従来のカスケードBi-MOS半導体装置の等価回路図

【図3】図2の等価回路をもつ半導体装置の断面図

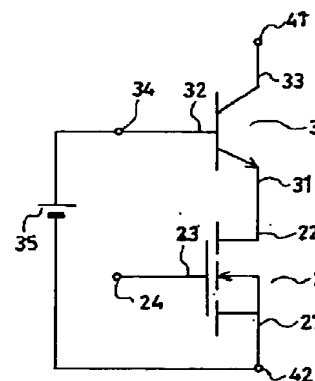
【図4】図1の等価回路をもつ半導体装置の一実施例の断面図

【図5】図1の等価回路をもつ半導体装置の別の実施例の断面図

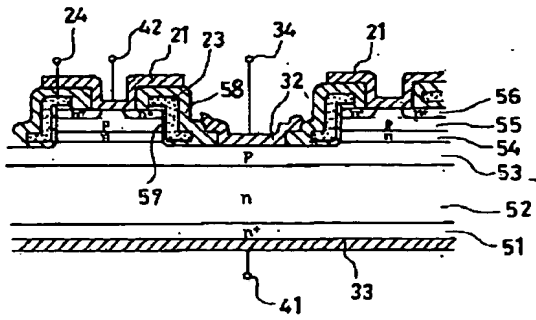
【符号の説明】

- | | |
|----|------------------------|
| 1 | S Iサイリスタ |
| 11 | ソース |
| 12 | ドレイン |
| 13 | ゲート |
| 2 | MOSFET |
| 21 | ソース |
| 22 | ドレイン |
| 23 | ゲート |
| 24 | ゲート端子 |
| 41 | アノード端子 |
| 42 | カソード端子 |
| 55 | pベース領域 |
| 56 | n ⁺ ソース領域 |
| 57 | ゲート絶縁膜 |
| 61 | p ⁺ 基板 |
| 62 | nバッファ層 |
| 63 | n ⁻ 層 |
| 64 | n ⁺ 層 |
| 65 | p ⁺ ゲート領域 |
| 66 | チャンネル領域 |
| 67 | pゲート領域 |
| 68 | p ⁺ コンタクト領域 |

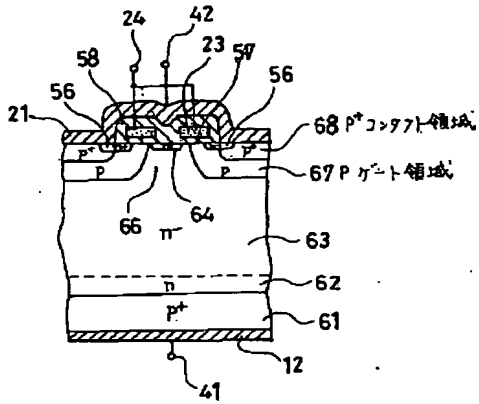
【図2】



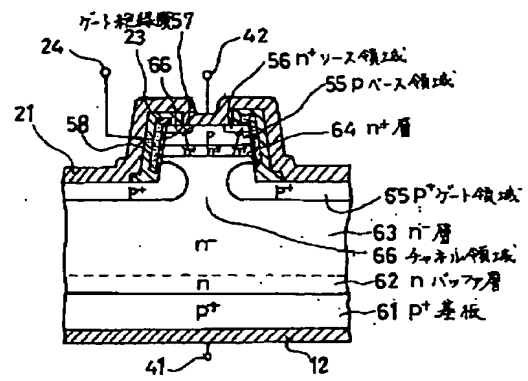
【図3】



【図5】



【図4】



THIS PAGE BLANK (USPTO)